

Rec'd PCT/PTO 12 OCT 2004

10/510602
PCT/KR 02/01868
RO/KR 07.10.2002

REC'D 08 NOV 2002

WIPO

PCT



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 :
Application Number

10-2002-0021538
PATENT-2002-0021538

출원 년 월 일 :
Date of Application

2002년 04월 19일
APR 19, 2002

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

출원 인 :
Applicant(s)

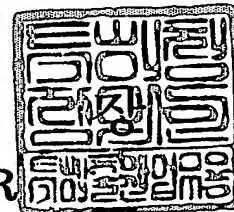
피.에스.케이.테크(주)
PSK TECH INC.



2002 년 10 월 07 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.04.19
【발명의 명칭】	반도체 웨이퍼 애싱 방법
【발명의 영문명칭】	Method for Semiconductor Wafer Ashing
【출원인】	
【명칭】	피에스케이테크 (주)
【출원인코드】	1-1998-004149-1
【대리인】	
【성명】	김삼수
【대리인코드】	9-1998-000635-7
【포괄위임등록번호】	2001-046609-0
【발명자】	
【성명의 국문표기】	전종포
【성명의 영문표기】	JEON, JONG PO
【주민등록번호】	621012-1051115
【우편번호】	456-826
【주소】	경기도 안성시 공도면 진사리 주은청설 208/805
【국적】	KR
【발명자】	
【성명의 국문표기】	송용훈
【성명의 영문표기】	SONG, YONG HOON
【주민등록번호】	670108-1006113
【우편번호】	450-818
【주소】	경기도 평택시 세교동 554 태영 청솔 아파트 101/702
【국적】	KR
【발명자】	
【성명의 국문표기】	박진우
【성명의 영문표기】	PARK, JIN WOO
【주민등록번호】	690227-1894336

【우편번호】	459-744
【주소】	경기도 평택시 이충동 부영아파트 101/408
【국적】	KR
【발명자】	
【성명의 국문표기】	양승복
【성명의 영문표기】	YANG, SEUNG BOK
【주민등록번호】	750509-1227034
【우편번호】	459-744
【주소】	경기도 평택시 이충동 부영아파트 302/209
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김삼수 (인)
【수수료】	
【기본출원료】	17 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	426,000 원
【감면사유】	중소기업
【감면후 수수료】	213,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 고압력에서 빠른 열전달을 이용한 반도체 웨이퍼 애싱 방법이 제공된다. 본 발명의 방법은 모든 포토 레지스트 애싱공정에 적용 가능하며 특히 하이 도우즈 이온 주입 실리콘 기판을 고온의 핫 플레이트에서 베이킹 실시하고 경화된 포토 레지스트를 애싱 단계에서 팝핑없이 신속하게 제거하여, 웨이퍼의 애싱 공정에 소요되는 시간을 획기적으로 단축함으로써 애싱 처리량을 향상시키고, 종래의 장비를 그대로 사용 가능하다. 본 발명의 방법은 10 Torr 이상의 압력 상태에서 실리콘 기판을 핫 플레이트에 올려놓고 소정의 시간 동안 베이킹을 실시하는 인슈트베이킹 단계, 실리콘 기판이 핫 플레이트에 올려놓여져 있는 상태에서 안정한 진공상태를 만드는 진공 단계, 반응 챔버에 반응 가스를 선별 주입하는 가스 공정 단계, 포토레지스트가 대부분 제거되기까지 플라즈마를 발생시키는 애싱 단계를 포함한다.

【대표도】

도 3

【색인어】

반도체, 웨이퍼, 애싱, 팝핑, 도우즈, 비아 에칭, 패드 에칭, 고압력

【명세서】

【발명의 명칭】

반도체 웨이퍼 애싱 방법 {Method for Semiconductor Wafer Ashing}

【도면의 간단한 설명】

도 1은 종래 기술에 의한 실리콘 기판 애싱 장비의 구성도이다.

도 2는 종래 도우즈 이온 주입 실리콘 기판에서의 온도 따른 공정 순서도이다.

도 3은 본 발명에 따른 도우즈 이온 주입 실리콘 기판에서의 온도 및 공정 순서도이다.

도 4 내지 도 8은 본 발명에 따른 도우즈 이온 주입 실리콘 기판에서의 애싱 공정 과정에서 포토레지스트가 제거되는 모습을 보여주는 모식도이다.

도 9는 종래의 방법에 따른 비아 에칭 기판에 대한 애싱 후의 SEM 사진이다.

도 10은 본 발명의 방법에 따른 비아 애칭 기판에 대한 애싱 후의 SEM 사진이다.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : 가스 주입구 102 : 가스 방출구

104 : 반응 챔버 110 : 전기 방전 전극

112 : 전원 공급기 114 : 반도체 웨이퍼

116 : 지지대 118 : 순환대

120 : 반도체 웨이퍼 지지대 122 : 기계장치

124 : 정류기

200 : 실리콘 기판이 반응기 안으로 들어가는 단계

210 : 애싱 공정 초기단계 220 : 제 1 애싱 단계

230 : 제 2 애싱 단계 240 : 실리콘 기판 온도 그래프

250 : 공정 흐름선

400 : 포토 레지스터 410 : 하드 포토 레지스터

420 : 소프트 포토 레지스터 430 : 실리콘 기판

440 : 불순물 이온 주입

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<21> 본 발명은 반도체 웨이퍼 애싱 방법에 관한 것으로, 더욱 상세하게는 반도체 기판을 고온의 핫 플레이트에서 베이킹 실시하고 경화된 포토 레지스트를 애싱 단계에서 팝핑없이 신속하게 제거하여, 웨이퍼의 애싱 공정에 소요되는 시간을 획기적으로 단축함으로써 애싱 처리량을 향상시키고, 종래의 장비를 그대로 사용 가능한 반도체 웨이퍼 애싱 방법에 관한 것이다.

<22> 반도체 제조공정 중 하나인 포토 리소그래피(Photo Lithography) 공정은 반도체 기판에 포토 레지스터 층을 형성하기 위하여 포토 레지스트를 스핀(Spin) 코팅(Coating)하는 단계, 포토 레지스트 층을 선택적으로 노광(Exposure)하는 단계,

포토 레지스트 패턴을 발생시키기 위하여 노광된 포토 레지스트 층을 현상(Develop)하는 단계, 포토 레지스트에 의하여 가려지지 않은 반도체 기판의 영역을 에칭(Etching) 혹은 불순물 주입하는 단계와 에칭 및 불순물 주입 단계에서 마스크로 사용된 포토 레지스트 패턴을 제거하는 애싱 단계로 이루어진다.

<23> 산소기나 산소이온을 포함하는 플라즈마를 이용하여 수행되는 애싱(Ashing)공정은 포토 레지스트 패턴을 제거하는 공정이다. 종래의 애싱 공정은 웨이퍼를 반응 챔버에 넣고 저압상태에서 적절한 가열장치를 이용하여 웨이퍼 온도를 높은 상태에서 플라즈마를 주입함으로써 수행된다. 애싱 공정에서의 애싱율은 온도에 비례하기 때문에 고온 상태에서 애싱 공정이 이루어졌다. 즉, 포토 레지스트의 온도 특성을 살펴보면, 80도에서 300도까지 온도에 비례하여 급격히 활성 에너지 상태가 되고, 300도 이후에는 활성 에너지가 감소된다.

<24> 특히, 이온 주입과정에서는 포토 레지스트 패턴의 상부 층의 물질이 화학적으로 변화하여 단단하게 경화(Hardened)된다. 이온 주입과정 이후에 진행되는 애싱 공정은 진술한 바와 같이 고온에서 이루어지는데, 약 120도 이상이 되면 경화된 포토 레지스트의 하부에서 기화물질의 팽창으로 인하여 경화된 포토 레지스트 층이 파괴되는 팝핑(Popping) 현상이 발생한다. 이러한 팝핑 현상으로 인하여 웨이퍼 표면 및 애싱 장치의 내부 표면이 오염되고 웨이퍼를 리젝트 시켜 생산 원가 및 공정 시간을 연장시킴으로써 생산성 저하를 야기하게 되어 바람직하지 않다. 따라서, 이러한 팝핑을 방지하기 위하여 저온상태에서 애싱을 수행하는 경우에는 시간이 많이 소비되어 전체적으로 애싱 효율이 감소한다.

- <25> 종래 애싱 장치는 도 1에 도시된 바와 같이 램프 가열장치를 사용하여 하드 포토 레지스트를 저온에서 공정을 진행하고, 나머지 소프트 포토 레지스트는 반도체 기판을 고온으로 변화시켜 포토 레지스트를 제거하고 있다.
- <26> 도 2는 상기 종래의 이온 주입 이후의 포토 레지스트를 제거하는 방법으로, 공정 초기단계(210)에서는 산소가스(O_2 gas), 질소가스(N_2 gas) 및 CF_4 가스를 반응기에 유입시켜 약 1 Torr ~ 10 Torr 진공도를 유지한다. 제 1 애싱 단계(220)에서 램프 가열 또는 핫 플레이트를 사용하여 반도체 기판의 온도를 100 ~ 150도로 가열하고 하드 포토 레지스트를 제거한다. 제 2 애싱 단계(230)에서는 나머지 소프트 레지스트를 제거한다. 도 2에서 도면부호 240은 웨이퍼의 온도 변화를 나타낸다. 또한, 도면부호 250은 반응에 의해 발생하는 가스의 생성 그래프로서, 포토레지스트의 제거 반응에 의해 생성되는 가스의 양에 의해 포토레지스트가 얼마나 제거되고 있는지를 알 수 있다.
- <27> 물론, 종래 애싱 장비로 도우즈 이온 주입(Dose Ion Implanted) 실리콘 기판에 대해서도 애싱 공정이 가능하다. 그러나 실리콘 기판의 대구경화와 그에 따른 장비 가격 상승이 이어지고 또한 장비 보존업무에 있어 더 복잡한 전기 기계구성으로 어려워진다. 따라서, 생산성 단가의 상승이라는 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

- <28> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 경화된 하드 포토 레지스트를 팽팽없이 효과적으로, 신속하게 제거할 수 있는 반도체 웨이퍼 애싱 공정 방법을 제공하는 것이다.

<29> 본 발명의 또 다른 목적은 애싱 공정의 효율을 높일 수 있는 반도체 웨이퍼 애싱 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<30> 이와 같은 목적을 달성하기 위한 본 발명은, 실리콘 기판을 고온의 핫 플레이트에 올려놓고 인슈트베이크 단계를 거쳐 플라즈마를 사용하는 애싱 단계에서 소프트 포토 레지스트 및 하드 포토 레지스트를 동시에 애싱 하는 방법을 제공한다. 본 발명은 모든 포토 레지스트 애싱공정에 적용이 가능하며, 특히 도우즈 이온 주입 실리콘 기판에서 그 효과가 높다.

<31> 본 발명에 따른 애싱 방법에서는 도 3에 도시한 것처럼, 종래 애싱 방법과는 달리 애싱 단계에 들어가기 전에 실리콘 기판을 고압력에서 베이크 실시하는 인슈트베이크 단계(300-1)가 추가된다. 그리고는, 종래 방법과 유사한 조건에서 진공 공정 단계(300-2) 및 가스 공정 단계(300-3)로 진행한다. 인슈트베이크 단계(300-1), 진공 공정 단계(300-2) 및 가스 공정 단계(300-3)에 이어지는 애싱 단계(310)에서는 플라즈마 파워를 사용하여 공정을 진행하여 하드 포토 레지스트와 소프트 포토 레지스트를 동시에 제거한다. 그리고, 좀더 확실하게 포토 레지스트를 제거하기 위하여 오버애싱 단계(320)를 거치게 된다.

<32> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다. 본 발명에 따른 반도체 웨이퍼 애싱 방법은 도 3에 도시된 공정 순서에 따라 진행된다.

<33> 인슈트베이크 단계는(300-1)는 반응 챔버가 고압력에서 고온의 핫 플레이트에 실리콘 기판이 안착되면 소프트 포토 레지스트가 급격히 수축되어 열팽창이 일어나지 않는

원리를 이용하여 포토 레지스트를 제거한다. 즉, 10 Torr 이상의 압력에서 기판을 섭씨 200도 내지 300도의 핫플레이트에 안착시키고 일정한 시간동안 유지한다. 인슈트베이크 단계의 유지 시간은 도핑량 등의 기판 조건에 따라서 적절히 설정 가능하지만 5초 이상 20초 이내인 것이 바람직하다. 그러면, 기판의 온도는 도 3에 도시한 것처럼 급격히 상승하게 된다.

<34> 특히, 도우즈 이온 주입 웨이퍼가 고온의 핫 플레이트에 안착한 후 5초가 지나면 소프트 포토 레지스트가 수축하고 포토레지스트의 색깔이 변하며 팽팽현상은 발생하지 않는다. 소프트 포토 레지스트는 휘발성물질을 함유하여 플라즈마를 발생시키기 전에 20초 이내동안 베이크 실시하여 휘발성분을 완전히 소멸시킨다.

<35> 진공 공정 단계(300-2)에서는 실리콘 기판이 고온의 핫 플레이트에 올려놓여 있는 상태에서 반응 챔버를 안정한 진공 상태로 만든다. 이 때 실리콘 기판의 온도변화는 도 3에 도시한 것과 같다. 이 단계는 종래의 방법과 유사한 조건에서 이루어진다.

<36> 가스 공정 단계(300-3)에서는 고온의 핫 플레이트에 실리콘 기판이 올려놓여 있는 상태에서 반응 챔버에 공정가스를 주입하고 공정 조건에 부합하는 압력으로 도달시킨 후 유지한다. 이 때 실리콘 기판의 온도변화는 도 3과 같다. 이때 사용되는 공정가스는 종래의 애싱방법에서 사용되는 것과 동일한 것을 사용할 수 있다.

<37> 이상의 고압력 공정 단계(300-1), 진공 공정 단계(300-2), 가스 공정 단계(300-3)에서는 플라즈마를 사용하지 않는다.

<38> 애싱 단계(310)에서는 고온의 핫플레이트에 올려져 있는 실리콘 기판의 온도가 고온을 유지하고 있는 상태에서 플라즈마를 발생시켜 공정을 진행한다. 이때의 공정 조건

은 종래 방법에서의 제2 애싱 단계와 동일하다. 그러나, 종래 방법과는 달리 본 발명의 방법에서는 이 단계에서 하드 포토 레지스트(410)와 소프트 포토 레지스트(420)가 동시에 제거된다.

<39> 오버 애싱 단계(320)는 진행된 애싱 공정의 마진을 가지기 위한 단계로 공정 조건은 애싱 단계(310)와 동일하다.

<40> 또한, 포토 레지스트를 제거하는 동안 반응에 의해 발생하는 가스의 생성 그래프(330)를 보면 애싱 단계(310)에서는 화학반응에 의해 생성되는 가스의 양이 일정 수준 이상을 유지하다가 포토 레지스트가 대부분 제거된 오버 애싱 단계(320)에서는 생성된 가스의 양이 감소한다.

<41> 실리콘 기판의 온도는(340) 인슈트베이크 단계(300)에서는 급격히 증가하여 도 3과 같이 애싱 단계(310)에서 고온을 유지한다.

<42> 특히, 도 4 에서 도 8은 본 발명에 따른 도우즈 이온 주입 실리콘 기판에서의 애싱 공정 과정이다. 도 4는 인슈트베이크 단계(300)의 전 단계를 보여주며, 실리콘 기판에 포토 레지스터 코팅 상태를 나타낸다. 도 5는 인슈트베이크의 전 단계(300)에서 실리콘 기판에 P, B 또는 AS의 불순물 이온을 주입하는 과정이다. 도 6은 인슈트베이크 단계(300)로서 불순물 주입 후 실리콘 기판상에 하드 포토 레지스트와 소프트 포토 레지스트가 동시에 있는 상태를 나타낸다. 도 7은 애싱 단계(310)에서 하드 포토 레지스트가 제거된 상태이고 도 8은 소프트 포토 레지스트가 제거된 상태를 나타낸다.

<43> 다음으로, 도우즈 이온 주입 실리콘 기판에 대해서 본 발명에 따른 애싱 방법을 행하였을 때 팝핑이 발생하였는지를 확인하였다. 이때의 실험조건 및 결과가 표 1에 나타나 있다.

<44> 【표 1】

HDI 웨이퍼	인슈트 베이크 시간 (초)	인슈트 베이크 시의 압력 (Torr)	애싱시 의 압력 (Torr)	플라즈 마 파워 (W)	O ₂ (sccm)	H ₂ N ₂ (sccm)	핫플레이트 온도 (섭씨)	결과
31P+6.0E15	10	760	1.5	1500	2000	200	230 / 250 / 270	팝핑 무
31P+6.0E15	10	760	1.5	1500	2000	400	230 / 250 / 270	팝핑 무
31P+8.0E15	10	760	1.5	1500	2000	500	230 / 250 / 270	팝핑 무
31P+8.0E15	10	760	1.5	1500	2000	500	230 / 250 / 270	팝핑 무
31P+1.0E16	10	760	1.5	1500	2000	500	230 / 250 / 270	팝핑 무
31P+1.0E16	10	760	1.5	1500	2000	500	230 / 250 / 270	팝핑 무
75As+3.5E15	10	760	1.5	1500	2000	500	230 / 250 / 270	팝핑 무
31P+1.0E14	10	760	1.5	1500	2000	500	230 / 250 / 270	팝핑 무
75As+8.0E15	10	760	1.5	1500	2000	500	230 / 250 / 270	팝핑 무
31P+1.0E14	10	760	1.5	1500	2000	500	230 / 250 / 270	팝핑 무

<45> 표 1에 도시된 바와 같이 팝핑 발생 유무의 측정을 하기 위해 압력, 마이크로웨이브, O₂가스, H₂N₂가스, 온도를 사용하였다. 실리콘 기판에 주입되는 불순물은 P, As, 압력은 1500mTorr, 플라즈마 파워는 1500W, O₂가스는 2000sccm를 사용하였다. H₂N₂가스의 양은 200sccm 내지 500sccm 범위에서 사용되었으며, 팝핑은 발생하지 않았다.

<46> 다음으로, 비아 에칭된 기판에 대해서 애싱을 하였을 때의 종래의 방법과 본 발명의 방법과의 비교를 하였다. 종래의 방법을 사용하였을 때의 공정조건은 표 2와 같으며, 본 발명의 방법을 사용하였을 때의 공정조건은 표 3과 같다.

<47> 【표 2】

애싱지의 압력 (Torr)	플라즈마 파워 (w)	O ₂ (sccm)	N ₂ (sccm)	핫플레이트 온도 (섭씨)	공정 시간 (초)
1	2500	7000	800	250	230

<48> 【표 3】

인슈트베이크 시의 압력 (Torr)	인슈트베이크 시간 (초)	애싱지의 압력 (Torr)	플라즈마 파워 (w)	O ₂ (sccm)	N ₂ (sccm)	핫플레이 트 온도 (섭씨)	공정 시간 (초)
760	10	1	2500	7000	800	250	60

<49> 위의 표에서 볼 수 있는 것처럼, 동일한 애싱 조건에서의 공정시간이 종래 방법에서는 230초이지만, 본 발명의 방법에 따르면 60초에 불과함을 알 수 있다.

<50> 이와 같은 공전 진행 후의 SEM(Scanning Electron Microscopy) 사진이 도 9와 도 10에 도시되어 있다. 도 9는 종래의 공정 진행 후의 SEM 사진이며, 도 10은 본 발명의 인슈트베이크를 사용한 SEM 사진이다. 양 사진에서 볼 수 있는 것처럼 종래 방법에 의한 SEM 사진과 본 발명의 방법에 의한 SEM 사진 사이에 유의차는 없음을 알 수 있다.

<51> 따라서, 본 발명에 따른 장점은 인슈트베이크 단계에서 하드 포토 레지스트와 소프트 포토 레지스트 층의 열팽창 계수의 차이로 발생하는 팽팽을 방지하고, 애싱 단계에서 하드 포토 레지스트와 소프트 포토 레지스트를 동시에 제거하는 방법을 제공한다.

【발명의 효과】

<52> 이상 설명한 것처럼, 본 발명에 따르면 모든 포토 레지스트와 특히 도우즈 이온 주입 실리콘 기판을 고온의 핫 플레이트에서 인슈트베이크 실시하고 경화된 포토 레지스트를 애싱 단계에서 팝핑없이 신속하게 제거하며, 기타 애싱 공정에 소요되는 시간을 획기적으로 단축함으로써 애싱 처리량을 향상시키고 설비유지비용 줄일 수 있다고 하는 효과를 가진다.

【특허청구범위】**【청구항 1】**

10 Torr 이상의 압력 상태에서 실리콘 기판을 핫 플레이트에 올려놓고 소정의 시간 동안 베이킹을 실시하는 인슈트베이킹 단계,

실리콘 기판이 핫 플레이트에 올려놓여져 있는 상태에서 안정한 진공상태를 만드는 진공 단계,

반응 챔버에 반응 가스를 선별 주입하는 가스 공정 단계,

포토리지스트가 대부분 제거되기까지 플라즈마를 발생시키는 애싱 단계

를 포함하는 것을 특징으로 하는 반도체 웨이퍼 애싱 방법.

【청구항 2】

제1항에 있어서,

상기 핫 플레이트의 온도는 섭씨 200 내지 300도인 것을 특징으로 하는 반도체 웨이퍼 애싱 방법.

【청구항 3】

제2항에 있어서,

상기 핫 플레이트의 온도는 섭씨 230 내지 270도인 것을 특징으로 하는 반도체 웨이퍼 애싱 방법.

【청구항 4】

제1항에 있어서,

상기 인슈트베이크 단계에서의 상기 소정의 시간은 5초 이상 20초 이내인 것을 특징으로 하는 반도체 웨이퍼 애싱 방법.

【청구항 5】

제1항에 있어서,

상기 반응가스는 O_2 , N_2 , H_2N_2 , O_3 또는 CF_4 중의 어느 하나 이상을 포함하는 것을 특징으로 하는 반도체 웨이퍼 애싱 방법.

【청구항 6】

제1항에 있어서,

상기 실리콘 기판은 도우즈 이온 주입된 기판인 것을 특징으로 하는 반도체 웨이퍼 애싱 방법.

【청구항 7】

제1항에 있어서,

상기 실리콘 기판은 비아 에칭된 기판인 것을 특징으로 하는 반도체 웨이퍼 애싱 방법.

【청구항 8】

제1항에 있어서,

상기 실리콘 기판은 패드 에칭된 기판인 것을 특징으로 하는 반도체 웨이퍼 애싱 방법.

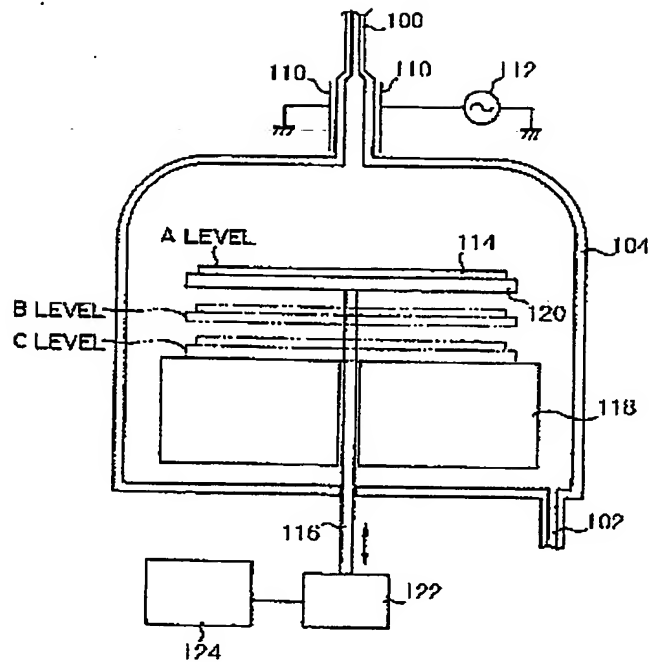
【청구항 9】

제1항에 있어서,

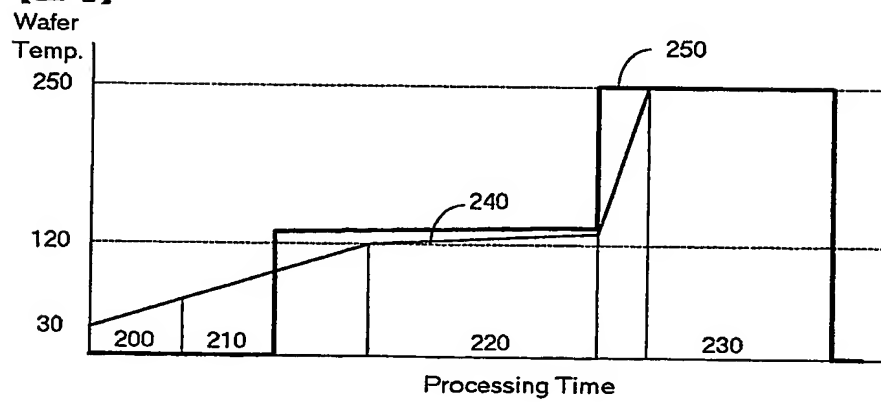
상기 애싱 단계에서 발생된 플라즈마에 의해 포토레지스트가 대부분 제거된 이후에도 계속 플라즈마를 가하는 오버애싱 단계를 더 구비하는 것을 특징으로 하는 반도체 웨이퍼 애싱 방법.

【도면】

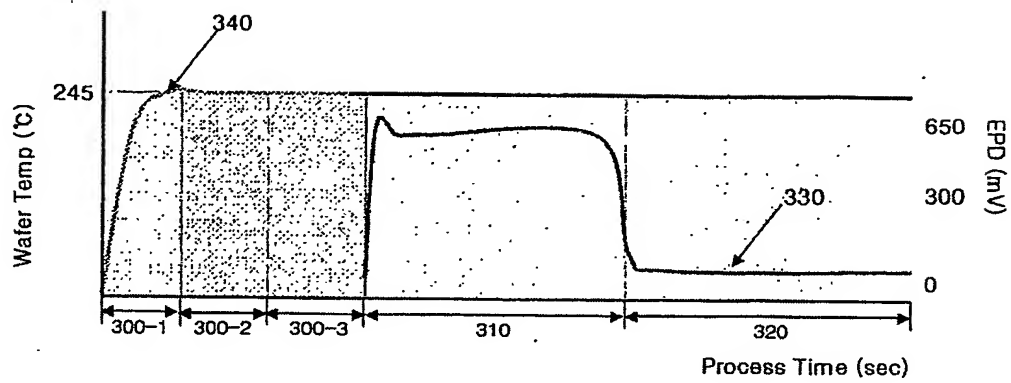
【도 1】



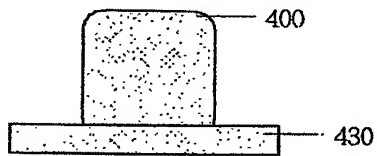
【도 2】



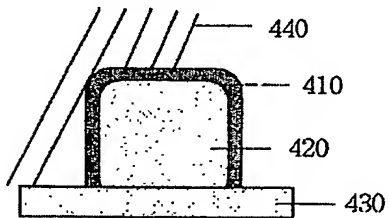
【도 3】



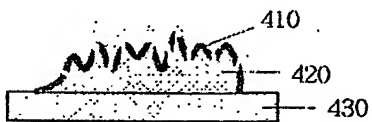
【도 4】



【도 5】



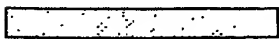
【도 6】



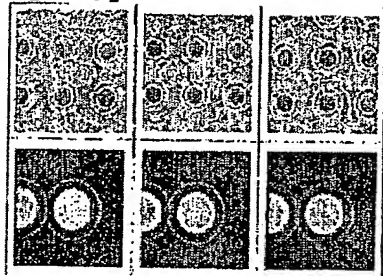
【도 7】



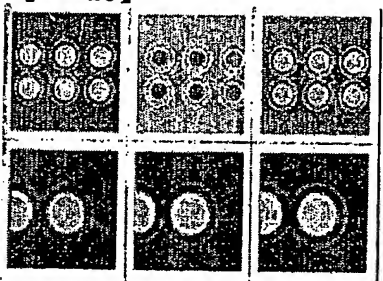
【도 8】



【도 9】



【도 10】



【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2002.09.25
【제출인】	
【명칭】	피 . 에스 . 케이 . 테크 (주)
【출원인코드】	1-1998-004149-1
【사건과의 관계】	출원인
【대리인】	
【성명】	김삼수
【대리인코드】	9-1998-000635-7
【포괄위임등록번호】	2001-046609-0
【사건의 표시】	
【출원번호】	10-2002-0021538
【출원일자】	2002.04.19
【심사청구일자】	2002.04.19
【발명의 명칭】	반도체 웨이퍼 애싱 방법
【제출원인】	
【발송번호】	9-5-2002-0263507-90
【발송일자】	2002.07.25
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 김삼수 (인)
【수수료】	
【보정료】	0 원
【추가심사청구료】	0 원
【기타 수수료】	0 원
【합계】	0 원

【보정대상항목】 청구항 1

【보정방법】 정정

【보정내용】

10 Torr 이상의 압력 상태에서 실리콘 기판을 핫 플레이트에 올려놓고 5초 이상 20초 이내의 시간 동안 베이킹을 실시하는 인슈트베이킹 단계,

실리콘 기판이 핫 플레이트에 올려놓여져 있는 상태에서 안정한 진공상태를 만드는 진공 단계,

반응 챔버에 O_2 , N_2 , H_2N_2 , O_3 또는 CF_4 중의 어느 하나 이상을 포함하는 반응 가스를 선별 주입하는 가스 공정 단계,

포토리지스트가 대부분 제거되기까지 플라즈마를 발생시키는 애싱 단계

를 포함하는 것을 특징으로 하는 반도체 웨이퍼 애싱 방법.

【보정대상항목】 청구항 4

【보정방법】 삭제

【보정대상항목】 청구항 5

【보정방법】 삭제